

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: April 28, 2003

Application Number: Patent Application No. 2003-123965

Applicant (s): SHARP KABUSHIKI KAISHA

February 3, 2004

Commissioner, Patent Office

Yasuo Imai

Patent application 2003-123965

[Name of Document]	Patent Application	
[Reference Number]	03J01256	
[Date of Filing]	April 28, 2003	
[Destination]	Commissioner, Patent Office	
[International Patent Classification]	H01L 21/60	
[Title of Invention]	METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, FLEXIBLE SUBSTRATE, AND SEMICONDUCTOR DEVICE	
[Number of Claimed Inventions]	3	
[Inventor]		
[Address]	c/o SHARP KABUSHIKI KAISHA, 22 - 22, Nagaikecho, Abeno-ku, Osaka-shi, Osaka	
[Name]	Katsuyuki NAITOH	
[Applicant]		
[Identification Number]	000005049	
[Name]	SHARP KABUSHIKI KAISHA	
[Representative]	Katsuhiko MACHIDA	
[Attorney]		
[Identification Number]	100078868	
[Patent Attorney]		
[Name]	Takao KOHNO	
[Telephone Number]	06-6944-4141	
[Assigned Attorney]		
[Identification Number]	100114557	
[Patent Attorney]		
[Name]	Hideto KOHNO	
[Telephone Number]	06-6944-4141	
[Indication of Official Fee]		
[Register Number]	001889	
[Amount]	¥21,000	
[List of Annexes]		
[Name of Article]	Specification	1
[Name of Article]	Drawings	1
[Name of Article]	Abstract	1
[Number of General Authorization]	0208490	
[Proof]	Needed	

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 8 日
Date of Application:

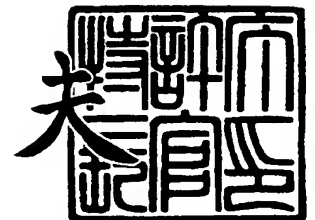
出 願 番 号 特 願 2 0 0 3 - 1 2 3 9 6 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 2 3 9 6 5]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 4 年 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 5 7 6 7

【書類名】 特許願

【整理番号】 03J01256

【提出日】 平成15年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明の名称】 半導体装置の製造方法、フレキシブル基板及び半導体装置

【請求項の数】 3

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 内藤 克幸

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代表者名】 町田 勝彦

【代理人】

【識別番号】 100078868

【弁理士】

【氏名又は名称】 河野 登夫

【電話番号】 06-6944-4141

【選任した代理人】

【識別番号】 100114557

【弁理士】

【氏名又は名称】 河野 英仁

【電話番号】 06-6944-4141

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、フレキシブル基板及び半導体装置

【特許請求の範囲】

【請求項 1】 半導体チップの素子面に設けられた複数の突起電極に接続する為の複数の内部接続電極と、外部に接続する為の複数の外部接続電極と、該外部接続電極及び前記内部接続電極を接続する複数の配線とが絶縁フィルムの表面に配設され、前記内部接続電極、配線及び前記表面が保護膜により被覆されたフレキシブル基板に、半導体チップを実装する半導体装置の製造方法であって、

前記素子面を前記フレキシブル基板に対向させ、前記突起電極に前記保護膜を突き破らせることにより、前記突起電極と内部接続電極との導通を得ることを特徴とする半導体装置の製造方法。

【請求項 2】 半導体チップに接続する為の複数の内部接続電極と、外部に接続する為の複数の外部接続電極と、該外部接続電極及び前記内部接続電極を接続する複数の配線とが絶縁フィルムの表面に配設され、前記配線が保護膜により被覆されているフレキシブル基板において、

前記内部接続電極、配線及び前記表面が前記保護膜により被覆されていることを特徴とするフレキシブル基板。

【請求項 3】 半導体チップが、素子面を請求項 2 に記載されたフレキシブル基板の表面に対向させ、前記素子面を前記フレキシブル基板の内部接続電極に接続して実装されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フレキシブル基板に半導体チップを実装する半導体装置の製造方法、そのフレキシブル基板及びその半導体装置に関するものである。

【0002】

【従来の技術】

図 3 は、従来の半導体装置の実装例を示す縦断面図である。この半導体装置は、液晶ディスプレイのドライバに適用した例であり、フレキシブル基板 101 は

、基材 102 である $40\ \mu\text{m}$ のポリイミドフィルム上に厚さ $12\ \mu\text{m}$ の Cu 配線 103 がパターン形成されており、その Cu 配線 103 に Sn (図示せず) が約 $0.2\ \mu\text{m}$ の厚さにメッキされている。フレキシブル基板 101 上の半導体チップ用電極 104 も、配線パターン (103) 同様に一括でパターン形成され、メッキされている。

【0003】

図 4 は、フレキシブル基板 101 の半導体チップ 106 (図 3) を実装する部分を拡大した平面図である。フレキシブル基板 101 は、Cu 配線 103 を汚染及び機械的ダメージから保護する為、ソルダレジスト 105 により被覆されているが、半導体チップ用電極 104 は、当然、半導体チップ 106 (図 3) と導通する為のものであるから、ソルダレジスト 105 により被覆されていない。また、この半導体チップ用電極 104 部分のみを開口することは、印刷法によるソルダレジスト成膜では困難である為、半導体チップ用電極 104 の列を 4 辺とする矩形部分が被覆されていない形態が一般的であり、このソルダレジスト 105 が開口された部分は、デバイスホール 109 と呼称されている。

尚、図示していないが、フレキシブル基板 101 を液晶ディスプレイに接続するための出力端子列も同様にソルダレジスト 105 により被覆されていない。

【0004】

液晶ドライバチップである半導体チップ 106 (図 3) にメッキ法により設けられた高さ $10\ \mu\text{m}$ 、面積 $35\ \mu\text{m} \times 80\ \mu\text{m}$ の Au 突起電極 107 (図 3) と、Sn メッキされたフレキシブル基板 101 の配線パターン (103) の一部である半導体チップ用電極 104 とは、高熱と圧力とを受け Au Sn 共晶接合される。この Au Sn 共晶接合は、半導体チップ 106 の素子面とフレキシブル基板 101 の半導体チップ実装面との平面同士が対向する接続である為、全電極とも同一条件のもとで一括して接続することが出来る。

これにより、半導体チップ 106 は、その素子面をフレキシブル基板 101 に対向させて、全電極が Au Sn 共晶接続される。この Au Sn 共晶接合を得る為のフリップチップ接続装置の各条件は、圧力 $170 \times 10^{-4}\ \text{gf} / \mu\text{m}^2$ 、ツール温度 420°C 、時間 1 秒である。

【0005】

半導体チップ106（図3）をフレキシブル基板101に接続した後、フレキシブル基板101と半導体チップ106との間には、Au突起電極107と半導体チップ用電極104とにより隙間が生じるが、AuSn共晶接合及び半導体チップ106等を保護する為、この隙間に樹脂108を充填する。

この樹脂108を充填する工程では、先ず、半導体チップ106のエッジに沿ってフレキシブル基板101上に樹脂108をディスペンサにより連続的に滴下する。これにより、フレキシブル基板101上で広がった樹脂108は、半導体チップ106のエッジに接触した後、毛管現象によりフレキシブル基板101と半導体チップ106との界面に侵入し充填される。その後、この樹脂108を熱硬化すれば、フレキシブル基板101への半導体チップ106の実装が完了する。

【0006】

上述した実装形態をCOF（Chip On Film）と呼称し、同じくフレキシブル基板を用いるTCP（Tape Carrier Package）と共に、液晶ドライバチップの実装のように軽薄短小が要求される機器の半導体チップの実装に適している。

尚、特許文献1に記載された従来例にも同様の構造が記述されている。特許文献1に記載されているように、一般的に液晶パネル及び半導体チップ等の電子部品との接続部には、ソルダレジストは被覆されていない。

【0007】**【特許文献1】**

特開2001-176918号公報

【0008】**【発明が解決しようとする課題】**

液晶ドライバチップは、液晶ディスプレイを駆動する為のICチップであり、液晶ディスプレイは、2枚の透明板に挟まれた空間に液晶が充填されている。この液晶は、同じ電位を受け続けると劣化するという問題があり、液晶の駆動方式により、例えば画面上は静止画でも、液晶そのものは同じ電位を受け続けないように、工夫が施されている。そのような駆動方式にはライン反転方式とドット反

転方式とがあり、より鮮明な画面を得るのに有利であるドット反転方式が現在の主流となっている。

【0009】

ドット反転方式は、TFT (Thin FILM Transistor) へ通じるソース配線において、隣接する配線毎に異なる極性の電位を与え、それをさらにクロック周期により反転させることで、液晶に一定の電圧を与え続けられない方式であるが、隣接する配線間には最大10数ボルトの電圧がかかることがある。

この電圧は、液晶ドライバチップからアナログ信号として供給され、当然液晶ドライバチップを実装しているフレキシブル基板もこの電圧を受けている。

フレキシブル基板上で隣接する配線間に10数ボルトの電圧がかかっている状態で高湿環境下に放置されれば、界面樹脂が吸湿し、やがてはその水分がフレキシブル基板に達する。

【0010】

これにより、フレキシブル基板上で電圧がかかった配線間に水分が存在するようになり、電流の流れに伴って金属原子が移動するイオンマイグレーション現象が発生し、10数ボルトの電圧がかかっている配線間が、最終的にはショートに至ることがあるという問題がある。特に、ソルダレジストにより被覆されていない部分は、浸入した水分に直接接する為、この現象がより顕著である。

上述した従来のフレキシブル基板では、液晶駆動方式がドット反転方式である場合、信頼性が界面樹脂の吸湿速度に依存し、実質、ソルダレジストにより被覆されていない部分の配線間のイオンマイグレーションを防止出来ない。Cu配線が露出されている部分はないが、樹脂に水分が浸透し、フレキシブル基板に水分が到達する為、樹脂のみでイオンマイグレーションを防止することは困難である。

【0011】

本発明は、上述したような事情に鑑みてなされたものであり、イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置の製造方法を提供することを目的とする。

また、本発明は、半導体チップを実装した状態で、イオンマイグレーションを

防止することが出来、配線間のショートが起き難いフレキシブル基板を提供することを目的とする。

また、本発明は、イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、半導体チップの素子面に設けられた複数の突起電極に接続する為の複数の内部接続電極と、外部に接続する為の複数の外部接続電極と、該外部接続電極及び前記内部接続電極を接続する複数の配線とが絶縁フィルムの表面に配設され、前記内部接続電極、配線及び前記表面が保護膜により被覆されたフレキシブル基板に、半導体チップを実装する半導体装置の製造方法であって、前記素子面を前記フレキシブル基板に対向させ、前記突起電極に前記保護膜を突き破らせることにより、前記突起電極と内部接続電極との導通を得ることを特徴とする。

【 0 0 1 3 】

この半導体装置の製造方法では、半導体チップの素子面に設けられた複数の突起電極に接続する為の複数の内部接続電極と、外部に接続する為の複数の外部接続電極と、外部接続電極及び内部接続電極を接続する複数の配線とが絶縁フィルムの表面に配設され、内部接続電極、配線及び絶縁フィルムの表面が保護膜により被覆されたフレキシブル基板に、半導体チップを実装する。半導体の素子面をフレキシブル基板に対向させ、素子面に設けられた突起電極に保護膜を突き破らせることにより、突起電極と内部接続電極との導通を得る。

これにより、水分が内部接続電極及び配線迄浸透しないので、イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置の製造方法を実現することが出来る。

【 0 0 1 4 】

本発明に係るフレキシブル基板は、半導体チップに接続する為の複数の内部接続電極と、外部に接続する為の複数の外部接続電極と、該外部接続電極及び前記内部接続電極を接続する複数の配線とが絶縁フィルムの表面に配設され、前記配

線が保護膜により被覆されているフレキシブル基板において、前記内部接続電極、配線及び前記表面が前記保護膜により被覆されていることを特徴とする。

【0015】

このフレキシブル基板では、半導体チップに接続する為の複数の内部接続電極と、外部に接続する為の複数の外部接続電極と、外部接続電極及び内部接続電極を接続する複数の配線とが絶縁フィルムの表面に配設され、複数の配線が保護膜により被覆されている。内部接続電極、配線及び絶縁フィルムの表面が保護膜により被覆されている。

これにより、半導体チップを実装した状態で、水分が内部接続電極及び配線迄浸透しないので、イオンマイグレーションを防止することが出来、配線間のショートが起き難いフレキシブル基板を実現することが出来る。

【0016】

本発明に係る半導体装置は、半導体チップが、素子面を本発明に係るフレキシブル基板の表面に対向させ、前記素子面を前記フレキシブル基板の内部接続電極に接続して実装されたことを特徴とする。

【0017】

この半導体装置では、半導体チップが、素子面を本発明に係るフレキシブル基板の表面に対向させ、素子面をフレキシブル基板の内部接続電極に接続して実装されているので、水分が内部接続電極及び配線迄浸透せず、イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置を実現することが出来る。

【0018】

【発明の実施の形態】

図1は、本発明に係る半導体装置の製造方法、フレキシブル基板及び半導体装置の実施の形態の要部を示す縦断面図である。この半導体装置は、液晶ディスプレイのドライバに適用した例であり、フレキシブル基板1は、基材2（絶縁フィルム）である $40\mu\text{m}$ のポリイミドフィルム上に厚さ $12\mu\text{m}$ のCu配線3（配線）がパターン形成されており、そのCu配線3にSn（図示せず）が約 $0.2\mu\text{m}$ メッキされている。フレキシブル基板1上の半導体チップ用電極4（内部接

続電極)も配線パターン(3)同様に一括でパターン形成され、メッキされている。

【0019】

フレキシブル基板1は、図2に示すように、Cu配線3を汚染及び機械的ダメージから保護する為、フレキシブル基板1を液晶ディスプレイに接続する為の出力端子(外部接続電極)の列(図示せず)を除いて、ソルダレジスト5(保護膜)により被覆されている。

液晶ドライバチップである半導体チップ6には、素子面にメッキ法により設けられた高さ $15\mu\text{m}$ 、面積 $35\mu\text{m}\times 80\mu\text{m}$ のAu突起電極7(突起電極)が設けられている。

【0020】

本発明は、フリップチップ接続装置を用いて半導体チップ6の素子面とフレキシブル基板1とが対向して全電極が一括で接続される点は、従来通りのフリップチップ接続方式と同様である。しかし、予め、フレキシブル基板1の半導体チップ用電極4もソルダレジスト5により被覆されており、半導体チップ6のAu突起電極7がこのソルダレジスト5を突き破って、Au突起電極7と半導体チップ用電極4とが接続されており、これが本発明の特徴である。

【0021】

他の大部分も含め半導体チップ用電極4を被覆しているソルダレジスト5は日立化成株式会社製のSN9000であり、厚さは約 $7\mu\text{m}$ である。フリップチップ接続条件は、温度 420°C 、圧力 $170\times 10^{-4}\text{gf}/\mu\text{m}^2$ 、時間1秒とすることで、上述したようにAu突起電極7がソルダレジスト5を突き破り、半導体チップ用電極4のSnとのAuSn共晶接合が実現出来る。

尚、本実施の形態では、半導体装置は、半導体チップ6のAu突起電極7がソルダレジスト5を突き破って、Au突起電極7と半導体チップ用電極4とが接続される製造方法により製造されているが、本発明に係る半導体装置には、その他の方法によって製造されたものも含まれることは言う迄もない。

【0022】

従来例では、図3に示すように、フレキシブル基板101への半導体チップ1

06 接続後は、AuSn 共晶により接続された Au 突起電極 107 と半導体チップ接続用電極 104 とにより、フレキシブル基板 101 と半導体チップ 106 の素子面との間に隙間を生じている（但し、後工程で樹脂 108 が充填される）。

一方、本実施の形態では、図 1 に示すように、この隙間が丁度厚さ $7\mu\text{m}$ のソルダレジスト 5 により充填される形態となり、半導体チップ 6 表面とフレキシブル基板 1 とは密着する為、界面樹脂を充填しなくても封止効果を得ることが出来る。しかし、水分の浸入経路をより長くする為、半導体チップ 6 の周囲を樹脂 8 で封止する。

【0023】

樹脂 8 の塗布方法は、先ず、半導体チップ 6 のエッジに沿ってフレキシブル基板 1 上に樹脂 8 をディスペンサにより連続的に滴下する。これにより、樹脂 8 は、半導体チップ 6 のエッジに沿ってフレキシブル基板 1 上を拡がり、半導体チップ 6 のエッジ及びフレキシブル基板 1 間を封止する。その後、この樹脂 8 を熱硬化することにより、フレキシブル基板 1 への半導体チップ 6 の実装が完了する。

この樹脂 8 の塗布方法は、従来例と同様であるが、本発明では、半導体チップ 6 の周囲のみを覆うだけであり、界面の未充填部分が発生するようなこともなく、より生産工程に有利となっている。

【0024】

【発明の効果】

本発明に係る半導体装置の製造方法によれば、水分が内部接続電極及び配線迄浸透しないので、イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置の製造方法を実現することが出来る。また、塩素のようなイオンマイグレーション加速要因の汚染も防止出来、イオンマイグレーションによるショートやリーク等の電氣的不良を低減出来、半導体チップとインナーリードが接触する所謂エッジタッチ不良を解消出来る。

また、フレキシブル基板の配線作製工程以降は、半導体チップの突起電極がフレキシブル基板の半導体チップ用電極に接触する工程を含め、半導体チップ用電極が大気に触れることが無い為、Sn 酸化による AuSn 接続不良を解消出来る。

【 0 0 2 5 】

本発明に係るフレキシブル基板によれば、半導体チップを実装した状態で、水分が内部接続電極及び配線迄浸透しないので、イオンマイグレーションを防止することが出来、配線間のショートが起き難いフレキシブル基板を実現することが出来る。また、塩素のようなイオンマイグレーション加速要因の汚染も防止出来、イオンマイグレーションによるショートやリーク等の電氣的不良を低減出来、半導体チップとインナーリードが接触する所謂エッジタッチ不良を解消出来る。

また、フレキシブル基板の配線作製工程以降は、半導体チップの突起電極がフレキシブル基板の半導体チップ用電極に接触する工程を含め、半導体チップ用電極が大気に触れることが無い為、S n 酸化による A u S n 接続不良を解消出来る。

【 0 0 2 6 】

本発明に係る半導体装置によれば、水分が内部接続電極及び配線迄浸透せず、イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置を実現することが出来る。また、塩素のようなイオンマイグレーション加速要因の汚染も防止出来、イオンマイグレーションによるショートやリーク等の電氣的不良を低減出来、半導体チップとインナーリードが接触する所謂エッジタッチ不良を解消出来る。

また、フレキシブル基板の配線作製工程以降は、半導体チップの突起電極がフレキシブル基板の半導体チップ用電極に接触する工程を含め、半導体チップ用電極が大気に触れることが無い為、S n 酸化による A u S n 接続不良を解消出来る。

【図面の簡単な説明】

【図 1】

本発明に係る半導体装置の製造方法、フレキシブル基板及び半導体装置の実施の形態の要部を示す縦断面図である。

【図 2】

本発明に係るフレキシブル基板の実施の形態の要部を示す平面図である。

【図 3】

従来の半導体装置の実装例を示す縦断面図である。

【図 4】

従来のフレキシブル基板の要部を示す平面図である。

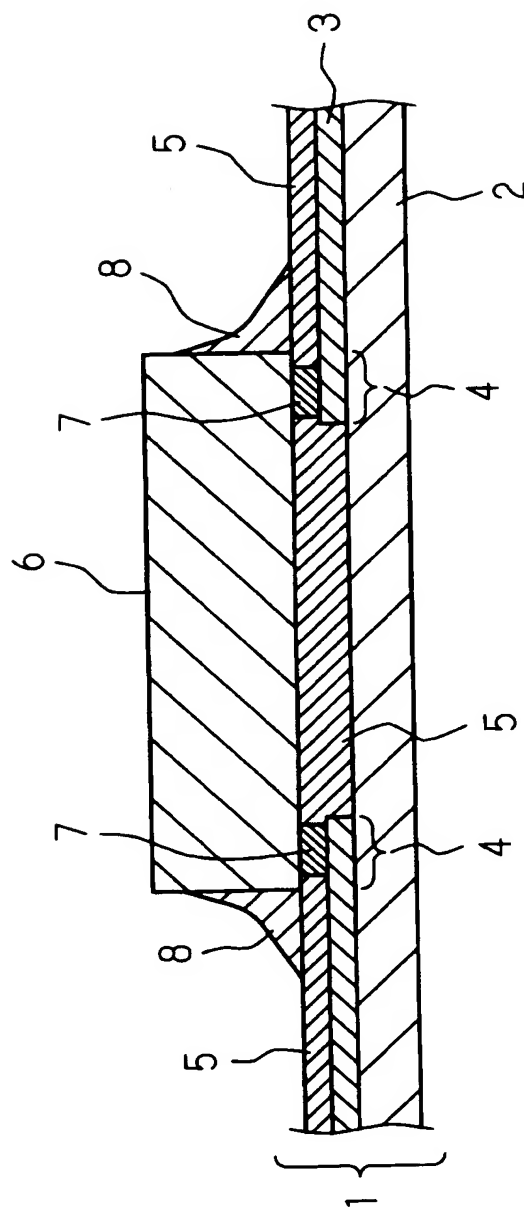
【符号の説明】

- 1, 1 0 1 フレキシブル基板
- 2, 1 0 2 基材（絶縁フィルム）
- 3, 1 0 3 Cu配線（配線、配線パターン）
- 4, 1 0 4 半導体チップ用電極（内部接続電極）
- 5, 1 0 5 ソルダレジスト（保護膜）
- 6, 1 0 6 半導体チップ
- 7, 1 0 7 Au突起電極（突起電極）
- 8, 1 0 8 樹脂
- 1 0 9 デバイスホール

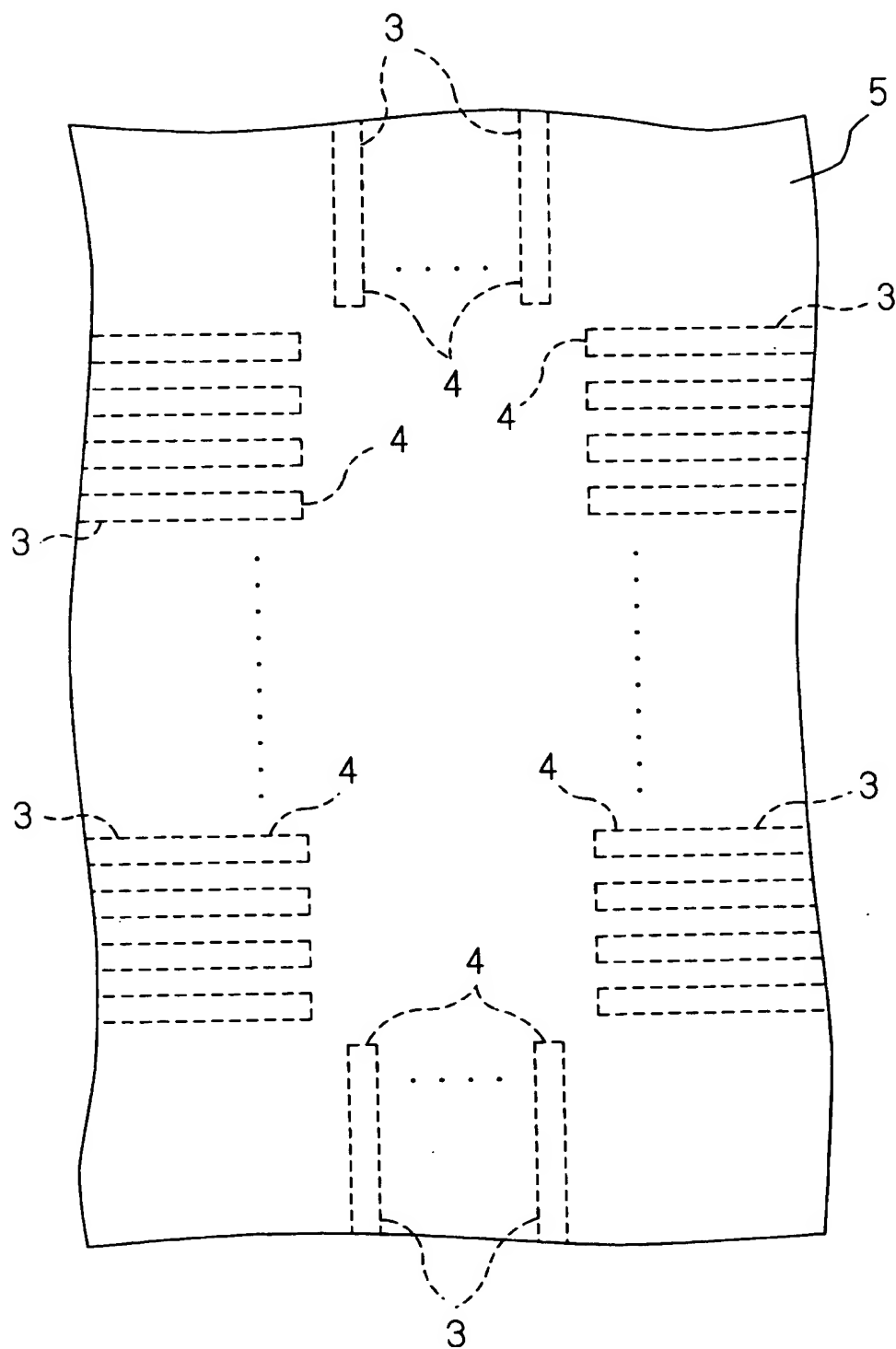
【書類名】

図面

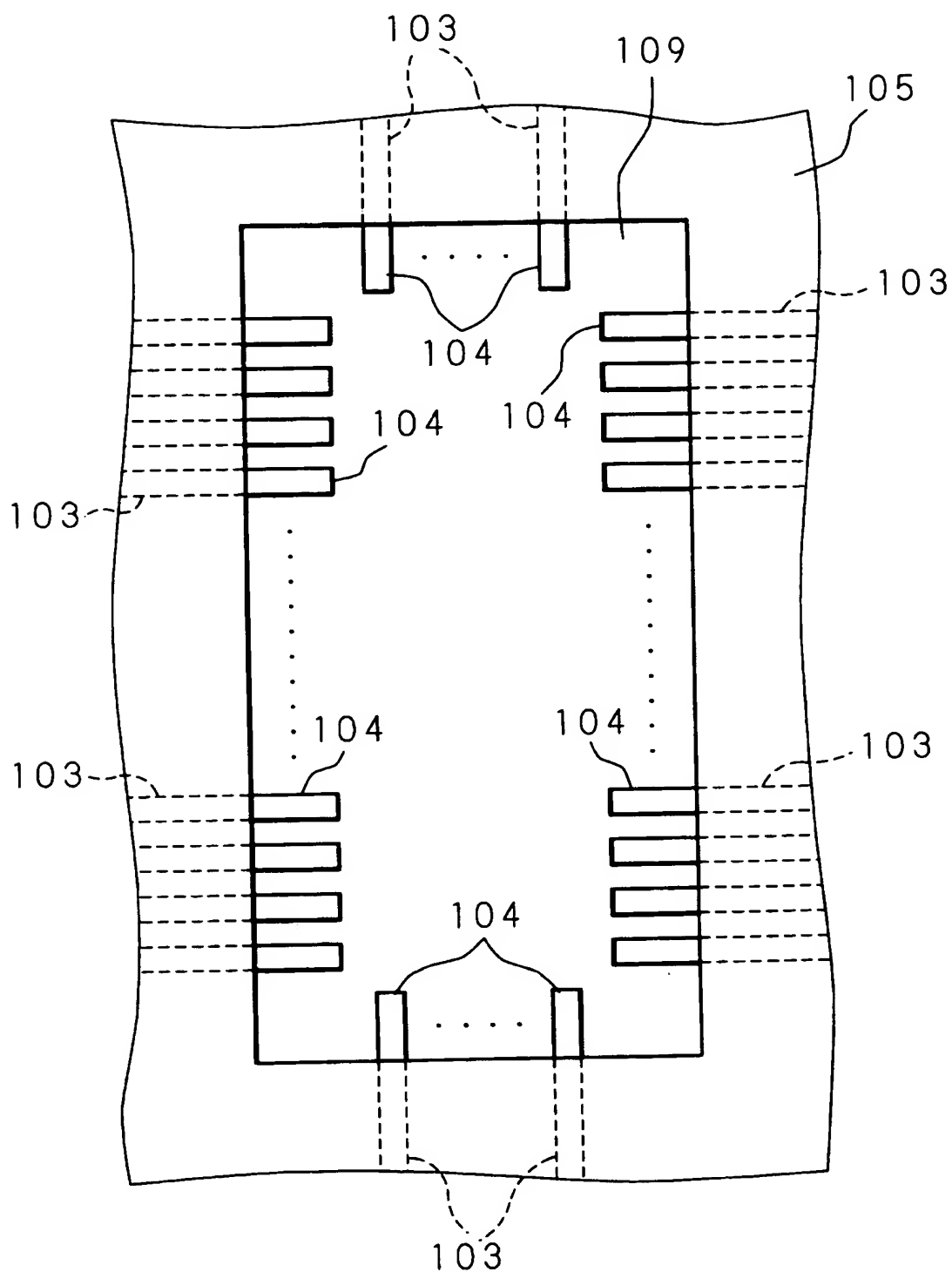
【図 1】



【図 2】



【図 4】



【書類名】 要約書

【要約】

【課題】 イオンマイグレーションを防止することが出来、配線間のショートが起き難い半導体装置の製造方法の提供。

【解決手段】 半導体チップ 6 の素子面に設けられた複数の突起電極 7 に接続する為の複数の内部接続電極 4 と、外部に接続する為の複数の外部接続電極（図示せず）と、外部接続電極及び内部接続電極 4 を接続する複数の配線 3 とが絶縁フィルム 2 の表面に配設され、内部接続電極 4、配線 3 及び絶縁フィルム 2 の表面が保護膜 5 により被覆されたフレキシブル基板 1 に、半導体チップ 6 を実装する半導体装置の製造方法。半導体チップ 6 の素子面をフレキシブル基板 1 に対向させ、素子面に設けられた突起電極 7 に保護膜 5 を突き破らせることにより、突起電極 7 と内部接続電極 4 との導通を得る。

【選択図】 図 1

特願 2 0 0 3 - 1 2 3 9 6 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社